

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

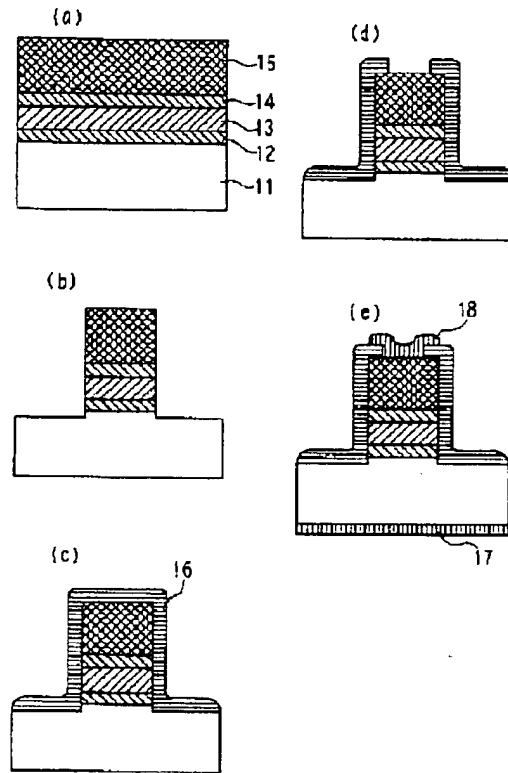
PUBLICATION NUMBER : 06232448
 PUBLICATION DATE : 19-08-94
 APPLICATION DATE : 03-02-93
 APPLICATION NUMBER : 05016524

APPLICANT : HITACHI LTD;

INVENTOR : SHIMADA JUICHI;

INT.CL. : H01L 33/00

TITLE : LIGHT EMITTING ELEMENT AND
 OPTOELECTRONIC INTEGRATED
 CIRCUIT



ABSTRACT : PURPOSE: To enables formation of light emitting element which operates efficiently at room temperature by using a mixed crystal of IV-semiconductor by a method wherein single crystal Si_1AGeA mixed crystal layer is formed as a light emitting region and either of first conductivity type single crystal Si substrate or second conductivity type Si_1BCB layer is made as an injection electrode for electrons and another is made as an injection electrode for holes.

CONSTITUTION: In a first light emitting element, a single crystal Si_1AGeA mixed crystal layer ($0 < A < 1$) of laminar body is a light emitting region utilizing mixed crystal effect and p-type Si_1BCB forms a potential barrier against electrons in a conductive body, so that electrons are rebounded into the light emitting region again and are connected with a hole confined in the light emitting region. Also, in a second light emitting element, single crystal Si_1GGIG mixed crystal layer of the laminar body is a light emitting region. In order to confine electrons and holes in the light emitting region, a mixed crystal consisting of SiGeC having a large band gap holds the light emitting region from both sides, whereby the respective light emitting elements can emit light efficiently and light emitting elements can be formed on an Si substrate.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-232448

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

H01L 33/00

識別記号

庁内整理番号

A 7376-1M

F I

技術表示箇所

審査請求 未請求 請求項の数12 (全 7 頁)

(21)出願番号

特願平5-16524

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

中川 清和

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者

西山 彰男

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者

嶋田 寿

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(71)代理人

弁護士 嶋田 利幸

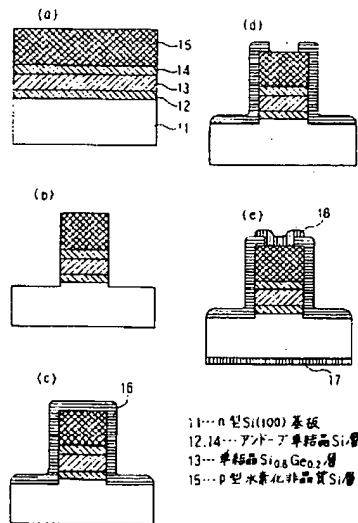
(54)【発明の名称】 発光素子及び光電子集積回路

(57)【要約】

【目的】IV族半導体の混晶を用いた、室温で効率良く動作する発光素子を提供すること。

【構成】n型Si(100)基板11の上に設けられたアンドープ単結晶Si層12と単結晶Si_{1-x}Ge_x混晶層13の積層体又はこの積層体の繰返し構造、その上に設けられた第2のアンドープ単結晶Si層14、その上に設けられたp型水素化非晶質Si層15からなり、単結晶Si_{1-x}Ge_x混晶層13を発光領域とする発光素子。或いは、ワイドギャップ半導体の単結晶SiGeC混晶でSiGe発光領域を挟むか又は発光領域の材料にバンドギャップの小さい単結晶SiGeSn混晶を用いた構成としてもよい。

図1



【特許請求の範囲】

【請求項1】第1導電型の単結晶Si基板、該単結晶Si基板上に設けられた、アンドープ単結晶Si層と単結晶Si_{1-x}Ge_x混晶層（0<A<1）の積層体又は該積層体の繰返し構造、該積層体の上に設けられた第2のアンドープ単結晶Si層及び該第2のアンドープ単結晶Si層上に設けられた第2導電型のSi_{1-x}C_x層（0≤B<1）からなり、単結晶Si_{1-x}Ge_x混晶層を発光領域、第1導電型の単結晶Si基板と第2導電型のSi_{1-x}C_x層の一方を電子の注入電極、他方を正孔の注入電極とすることを特徴とする発光素子。

【請求項2】請求項1記載の発光素子において、上記第1導電型の単結晶Si基板は、n型単結晶Si基板であって、上記電子の注入電極を構成し、上記第2導電型のSi_{1-x}C_x層は、p型水素化非晶質Si_{1-x}C_x層であって、上記正孔の注入電極を構成することを特徴とする発光素子。

【請求項3】第1導電型の単結晶Si_{1-x}Ge_xC_y混晶層（0<C<1、0<D<1）、該単結晶Si_{1-x}Ge_xC_y混晶層上に設けられた、アンドープ単結晶Si_{1-x}Ge_xC_y混晶層（0<E<1、0<F<1）と単結晶Si_{1-x}Ge_xC_y混晶層（0<G<1）の積層体又は該積層体の繰返し構造、該積層体上に設けられた第2のアンドープ単結晶Si_{1-x}Ge_xC_y混晶層及び該第2のアンドープ単結晶Si_{1-x}Ge_xC_y混晶層上に設けられた第2導電型の単結晶Si_{1-x}Ge_xC_y混晶層（0≤H<1、0<I<1）からなり、単結晶Si_{1-x}Ge_xC_y混晶層を発光領域、第1導電型の単結晶Si_{1-x}Ge_xC_y混晶層と第2導電型の単結晶Si_{1-x}Ge_xC_y混晶層の一方を電子の注入電極、他方を正孔の注入電極とすることを特徴とする発光素子。

【請求項4】請求項3記載の発光素子において、上記第1導電型の単結晶Si_{1-x}Ge_xC_y混晶層は、n型の単結晶Si_{1-x}Ge_xC_y混晶層であって、上記電子の注入電極を構成し、上記第2導電型の単結晶Si_{1-x}Ge_xC_y混晶層は、p型単結晶Si_{1-x}Ge_xC_y混晶層であって、正孔の注入電極を構成することを特徴とする発光素子。

【請求項5】第1導電型の単結晶Si_{1-x}Ge_x混晶層（0≤J<1）、該単結晶Si_{1-x}Ge_x混晶層の上に設けられた、アンドープ単結晶Si_{1-x}Ge_x混晶層（0≤K<1）と単結晶Si_{1-x}Ge_xSn_y混晶層（0<L<1、0<M<1）の積層体又は該積層体の繰返し構造、該積層体上に設けられた第2のアンドープ単結晶Si_{1-x}Ge_x混晶層及び該第2のアンドープ単結晶Si_{1-x}Ge_x混晶層の上に設けられた第2導電型の単結晶Si_{1-x}Ge_x混晶層（0≤N<1）からなり、単結晶Si_{1-x}Ge_xSn_y混晶層を発光領域、第1導電型の単結晶Si_{1-x}Ge_x混晶層と第2導電型の単結晶Si_{1-x}Ge_x混晶層の一方を電子の注入電極、他方を正孔の注入

電極とすることを特徴とする発光素子。

【請求項6】請求項5記載の発光素子において、上記第1導電型の単結晶Si_{1-x}Ge_x混晶層は、n型の単結晶Si_{1-x}Ge_x混晶層であって、上記電子の注入電極を構成し、上記第2導電型の単結晶Si_{1-x}Ge_x混晶層は、p型単結晶Si_{1-x}Ge_x混晶層であって、上記正孔の注入電極を構成することを特徴とする発光素子。

【請求項7】請求項1記載の発光素子と、該発光素子が設けられた単結晶Si基板に形成された電子素子とを少なくとも有することを特徴とする光電子集積回路。

【請求項8】（1）請求項1記載の発光素子、

（2）該発光素子が設けられた単結晶Si基板に形成された、該発光素子に電気信号を伝達するための電子素子、

（3）上記単結晶Si基板に形成された、アンドープ単結晶Si層と単結晶Si_{1-x}Ge_x混晶層（0<A<1）の積層体又は該積層体の繰返し構造、該積層体の上に設けられた第2のアンドープ単結晶Si層及び該第2のアンドープ単結晶Si層上に設けられた第2導電型のSi_{1-x}C_x層（0≤B<1）からなり、単結晶Si_{1-x}Ge_x混晶層を受光領域、第1導電型の単結晶Si基板と第2導電型のSi_{1-x}C_x層の一方を電子の取り出し電極、他方を正孔の取り出し電極とする受光素子並びに

（4）上記単結晶Si基板に形成された、該受光素子から電気信号が伝達される電子素子を少なくとも有し、上記発光素子の発光面と上記受光素子の受光面は互に向き合って配置されたことを特徴とする光電子集積回路。

【請求項9】請求項3記載の発光素子と、該発光素子が設けられた半導体基板に形成された電子素子とを少なくとも有することを特徴とする光電子集積回路。

【請求項10】（1）請求項3記載の発光素子、

（2）該発光素子が設けられた半導体基板に形成された、該発光素子に電気信号を伝達するための電子素子、

（3）上記発光素子が設けられた半導体基板に形成された、第1導電型の単結晶Si_{1-x}Ge_xC_y混晶層（0<C<1、0<D<1）、該単結晶Si_{1-x}Ge_xC_y混晶層上に設けられた、アンドープ単結晶Si_{1-x}Ge_xC_y混晶層（0<E<1、0<F<1）と単結晶Si_{1-x}Ge_xC_y混晶層（0<G<1）の積層体又は該積層体の繰返し構造、該積層体上に設けられた第2のアンドープ単結晶Si_{1-x}Ge_xC_y混晶層及び該第2のアンドープ単結晶Si_{1-x}Ge_xC_y混晶層上に設けられた第2導電型の単結晶Si_{1-x}Ge_xC_y混晶層（0≤H<1、0<I<1）からなり、単結晶Si_{1-x}Ge_xC_y混晶層を受光領域、第1導電型の単結晶Si_{1-x}Ge_xC_y混晶層と第2導電型の単結晶Si_{1-x}Ge_xC_y混晶層の一方を電子の取り出し電極、他方を正孔の取り出し電極とする受光素子並びに

（4）上記単結晶Si基板に形成された、該受光素子から電気信号が伝達される電子素子を少なくとも有し、上

記発光素子の発光面と上記受光素子の受光面は互いに向き合って配置されたことを特徴とする光電子集積回路。

【請求項11】請求項5記載の発光素子と、該発光素子が設けられた半導体基板に形成された電子素子とを少なくとも有することを特徴とする光電子集積回路。

【請求項12】(1)請求項5記載の発光素子、

(2)該発光素子が設けられた半導体基板に形成された、該発光素子に電気信号を伝達するための電子素子、

(3)上記発光素子が設けられた半導体基板に形成された、第1導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq x < 1$)、該単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の上に設けられた、アンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq K < 1$)と単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{Sn}_y$ 混晶層 ($0 < L < 1$, $0 < M < 1$)の積層体又は該積層体の繰返し構造、該積層体上に設けられた第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層及び該第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の上に設けられた第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq N < 1$) からなり、単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{Sn}_y$ 混晶層を受光領域、第1導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層と第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の一方を電子の取り出し電極、他方を正孔の取り出し電極とする受光素子並びに

(4)上記単結晶 Si 基板に形成された、該受光素子から電気信号が伝達される電子素子を少なくとも有し、上記発光素子の発光面と上記受光素子の受光面は互いに向き合って配置されたことを特徴とする光電子集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IV族半導体からなる混晶を用いた発光素子及びそれを用いた光電子集積回路に関する。

【0002】

【従来の技術】 Si 、 Ge 、 C 、 Sn のIV族半導体は、間接遷移型の半導体であるため発光効率が極めて低く、発光素子として用いるには不向きであった。しかしながら、最近 SiGe 混晶が低温ではあるがフォトルミネッセンスで強く発光することが見だされてフィジカル・レビュー・レターズ 1991年66巻1362頁から1365頁 (Physical Review Letters volume66, p. 1362~p. 1365) に発表されて以来、 SiGe による発光素子の研究が盛んとなっている。

【0003】この素子構造は、 Si と SiGe 混晶の積層体が繰返された上に Si が設けられた構造であり、 SiGe 混晶が発光領域となっている。この発光は、 SiGe 混晶では Ge 原子が Si の結晶格子位置をランダムに占めているために Si 結晶の並進対称性が崩れ、バンド構造が変化したことによっている。

【0004】一方、従来の光電子集積回路は、発光素子がIII族-IV族からなる半導体で、電子素子が Si で形

成されていた。そのため、1つのチップに発光素子と電子素子を形成することが困難であった。

【0005】

【発明が解決しようとする課題】上記従来技術は、キャリアを閉じ込める Si バリア層と SiGe 井戸層との間の伝導帯のバンド不連続値が20meV程度と極めて小さく、室温では電子を有効に閉じ込めることができないために、室温で効率良く動作する素子の形成が不可能であるという問題があった。

【0006】本発明の目的は、IV族半導体の混晶を用いた、室温で効率良く動作する発光素子及びそれを用いた光電子集積回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の発光素子は、第1導電型の単結晶 Si 基板、この単結晶 Si 基板上に設けられた、アンドープ単結晶 Si 層と単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 < A < 1$) の積層体又はこの積層体の繰返し構造、この積層体の上に設けられた第2のアンドープ単結晶 Si 層及びこの第2のアンドープ単結晶 Si 層上に設けられた第2導電型の $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 \leq B < 1$) からなり、単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層を発光領域、第1導電型の単結晶 Si 基板と第2導電型の $\text{Si}_{1-x}\text{Ge}_x$ 層の一方を電子の注入電極、他方を正孔の注入電極とするものである。

【0008】また、本発明の第2の発光素子は、第1導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層 ($0 < C < 1$, $0 < D < 1$)、この単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層上に設けられた、アンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層 ($0 < E < 1$, $0 < F < 1$)と単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 < G < 1$) の積層体又はこの積層体の繰返し構造、この積層体上に設けられた第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層及びこの第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層上に設けられた第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層 ($0 \leq H < 1$, $0 < I < 1$) からなり、単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層を発光領域、第1導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層と第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 混晶層の一方を電子の注入電極、他方を正孔の注入電極とするものである。

【0009】さらにまた、本発明の第3の発光素子は、第1導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq J < 1$)、この単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の上に設けられた、アンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq K < 1$)と単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{Sn}_y$ 混晶層 ($0 < L < 1$, $0 < M < 1$) の積層体又はこの積層体の繰返し構造、この積層体上に設けられた第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層及びこの第2のアンドープ単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の上に設けられた第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層 ($0 \leq N < 1$) からなり、単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{Sn}_y$ 混晶層を発光領域、第1導電型の単

結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層と第2導電型の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層の一方を電子の注入電極、他方を正孔の注入電極とするものである。

【0010】なおまた、本発明の光電子集積回路は、上記各発光素子と、それぞれの発光素子が設けられた基板にそれぞれ形成された電子素子とを有するものである。好ましい光電子集積回路の一態様は、上記いずれかの発光素子と、それと全く同じに形成された各半導体層から構成され、発光領域に該当する部分を受光領域、電子の注入電極に該当する部分を電子の取り出し電極、正孔の注入電極に該当する部分を正孔の取り出し電極とする受光素子と、それぞれの素子と接続された電子素子が同一の基板に設けられ、発光素子の発光面と受光素子の受光面が互いに向き合うように配置されたものである。

【0011】上記第1の発光素子において、第1導電型の単結晶 Si 基板とは、単結晶 Si 基板自体が第1導電型である場合も、単結晶 Si 基板上に第1導電型の Si 層が形成されている場合も含まれる。

【0012】また、いずれの発光素子においても、積層体の発光領域となる層の厚みは、5nmから20nmの範囲であることが好ましく、積層体の他の層の厚みは、5nmから10nmの範囲であることが好ましい。積層体の繰り返し構造は、半エネルギーが割らない範囲であれば何回繰り返してもよい。従って、好ましい繰り返し回数は、発光領域の層の組成や厚み等によって異なるが、一般的には、製造時の手数等を考慮に加えて、20回以下である。

【0013】

【作用】本発明の作用を、第1導電型をn型、第2導電型をp型として説明する。上記第1の発光素子は、積層体の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層が混晶効果による発光領域であるが、伝導帯のバンド不連続値が小さいために、電極から注入されたほとんどの電子が発光領域で正孔と結合しないでp型 $\text{Si}_{1-x}\text{Ge}_x$ 層の電極に達する。ところが、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層が伝導帯に電子に対してポテンシャル障壁を形成するため、電子は再び発光領域に跳ね返され、発光領域に閉じ込められている正孔と結合し、有効に発光させることができる。

【0014】また、上記第2の発光素子は、積層体の単結晶 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層が発光領域であり、有効に電子と正孔を発光領域に閉じ込めるために、バンドギャップの大きい SiGeC からなる混晶でこの発光領域を挟んだ構造となっており、有効に発光させることができる。

【0015】また、上記第3の発光素子は、積層体の単結晶 $\text{Si}_{1-x}\text{Ge}_x\text{Sn}$ 混晶層が発光領域となっている。この場合には、 SiGeSn という混晶を用いることでバンドギャップの小さい半導体を発光領域としているため、有効にこの領域に電子、正孔を閉じ込めて効率の高い発光を行うことができる。

【0016】またさらに、半導体層が Si 系のIV族半導

体であるため、 Si 基板上に上記の発光素子形成でき、 Si 電子素子と発光素子を同一 Si 基板上に作製することができる。

【0017】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【実施例1】図1(a)に示すように、n型 Si (100)基板11の表面を清浄化した後に、MBE(分子線成長)法を用いて650℃で5nmの厚さのアンダーブ単結晶 Si 層12、10nmの厚さの単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層13、5nmの厚さのアンダーブ単結晶 Si 層14を成長させ、その後分子線成長装置から外に取り出し、プラズマCVD(化学気相成長)法により100nmの厚さのp型水素化非晶質 Si 層15を成長させた。

【0018】その後、図1(b)に示すように、幅4μm、長さ100μmにドライエッチング法で加工し、図1(c)に示すように、CVD法により400℃で100nmの厚さの SiO_2 層16を堆積し、フォトリソグラフィ法を用いて図1(d)に示すように SiO_2 層16に孔を開け、 Al を蒸着し、パターンニングして電極17、18を形成し(図1(e))、1eV程度で室温で発光する発光素子を作製した。

【0019】なお、アンダーブ単結晶 Si 層12と単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層13からなる積層体の部分を上記と同じ厚さで3層形成し、他は上記と同様な構造としたときも室温で発光する発光素子が得られた。このときの発光効率は上記の約2倍であった。

【0020】また、p型水素化非晶質 Si 層15に代えて、p型水素化非晶質 $\text{Si}_{0.9}\text{C}_{0.1}$ 層を用いても、ほぼ同様の発光を示す発光素子が得られた。

【0021】【実施例2】図2(a)に示すように、n型 Si (100)基板21の表面を清浄化した後に、MBE法により650℃で100nmの厚さのn型単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層22、5nmの厚さのアンダーブ単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}\text{C}_{0.05}$ 層23、10nmの厚さの単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層24、5nmの厚さのアンダーブの単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}\text{C}_{0.05}$ 層25、100nmの厚さのp型単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}\text{C}_{0.05}$ 層26を成長させた。

【0022】その後、実施例1と同様に、図2(b)の形状にドライエッチング法で加工し、図2(c)のようにCVD法により400℃で100nmの厚さの SiO_2 層27を堆積し、フォトリソグラフィ法を用いて図2(d)の形状とし、 Al を蒸着し、パターンニングして電極28、29を形成し(図2(e))、1eV程度で室温で発光する発光素子を作製した。

【0023】なお、上記アンダーブ単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}\text{C}_{0.05}$ 層23と単結晶 $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層24からなる積層体の部分を同じ厚さで3層形成し、他は上記と同様な構造としたときも、室温で発光する発光素子が得ら

れた。このときの発光効率は上記の約2倍であった。

【0024】また、p型単結晶Si、Ge、C₆₀層26に代えてp型単結晶Si、C₆₀層を用いても、ほぼ同様の発光を示す発光素子が得られた。

【0025】（実施例3）図3（a）に示すように、n型Si（100）基板31の表面を清浄化した後にMBE法により650℃で100nmの厚さのn型単結晶Si層32、5nmの厚さのアンダー単結晶Si層33、10nmの厚さの単結晶Si、Ge、Sn層34、5nmの厚さのアンダー単結晶Si層35、1000nmの厚さのp型単結晶Si層36を成長させた。

【0026】その後、実施例1と同様に、図3（b）の形状にドライエッチング法で加工し、図3（c）のようにCVD法により400℃で100nmの厚さのSiO₂層37を堆積し、フォトリソグラフィ法を用いて図3（d）の形状とし、Alを蒸着し、パターンニングして電極38、39を形成し（図3（e））、1eV程度で室温で発光する発光素子を作製した。

【0027】なお、アンダー単結晶Si層33と単結晶Si、Ge、Sn層34からなる積層体の部分を上記と同じ厚さで3層形成し、他は上記と同様な構造としたときも、室温で発光する発光素子が得られた。このときの発光効率は上記の約2倍であった。

【0028】さらにアンダー単結晶Si層33に代えてアンダー単結晶Si、Ge層を用いても、また、この層と単結晶Si、Ge、Sn層34からなる積層体の部分を3層の繰返し構造としても、同様の発光素子が得られた。さらにまた、n型単結晶Si層32に代えてn型単結晶Si、Ge層を用いても、p型単結晶Si層36に代えてp型単結晶Si、Ge層を用いても同様の発光素子が得られた。

【0029】（実施例4）電子素子を実施例1に示した発光素子と同一基板に作成し、光電子集積回路を形成した例を説明する。図4（a）に示すように、Si（100）基板41の表面を清浄化した後に、MBE法により、650℃で100nmの厚みのp型単結晶Si層15'を形成し、以下、実施例1と逆の順に、5nmの厚さのアンダー単結晶Si層14、10nmの厚さの単結晶Si、Ge、Sn層13、5nmの厚さのアンダー単結晶Si層12を成長させ、次いで、n型単結晶Si層40を形成した。

【0030】その後、図4（b）に示すように、発光部の発光素子及びこれに電気信号を伝達するための電子素子並びに受光部の受光素子及びこれから電気信号が伝達される電子素子の部分をドライエッチング法で所定の形状に加工した。発光素子と受光素子の部分は実施例1と同様に処理してそれぞれの素子とし、電子素子の部分はイオン打ち込みによりn型領域42を形成して、ここをソース、ドレインとする電界効果トランジスタとし、図に示すように配線した。この光電子集積回路は、室温に

おいて良好に作動した。

【0031】なお、実施例1と同様に、アンダー単結晶Si層と単結晶Si、Ge層からなる積層体の部分を3層形成し、他は上記と同様な構造としたときも、ほぼ同様の効果を示す光電子集積回路が得られた。また、発光素子の発光面と受光素子の受光面の間は空間としたが、ガラスのような透明材料で光ガイドを設けてもよい。これは以下の実施例でも同様である。

【0032】（実施例5）電子素子を実施例2に示した発光素子と同一基板に作成し、光電子集積回路を形成した例を説明する。Si（100）基板の表面を清浄化した後に、実施例2と逆の順に、p型単結晶Si層からそれぞれ該当する層を形成した。次いで、実施例4に準じて、それぞれの素子の部分をドライエッチング法で所定の形状に加工し、以下、各素子、配線を形成した。

【0033】得られた光電子集積回路は、図4（b）に示した構造の発光素子、受光素子の部分を実施例2に示した素子に置き換えた構造（但し実施例2と上下逆の構造）であって、室温において良好に作動した。

【0034】なお、アンダー単結晶Si、Ge層と単結晶Si、Ge層からなる積層体の部分を3層形成し、他は上記と同様な構造としたときも、さらに、p型単結晶Si、Ge、Sn層に代えて、p型単結晶Si、Ge層を用いても、ほぼ同様の効果を示す光電子集積回路が得られた。

【0035】（実施例6）電子素子を実施例3に示した発光素子と同一基板に作成し、光電子集積回路を形成した例を説明する。Si（100）基板の表面を清浄化した後に、実施例3と逆の順に、p型単結晶Si層からそれぞれ該当する層を形成した。次いで、実施例4に準じて、それぞれの素子の部分をドライエッチング法で所定の形状に加工し、以下、各素子、配線を形成した。

【0036】得られた光電子集積回路は、図4（b）に示した構造の発光素子、受光素子の部分を実施例3に示した素子に置き換えた構造（但し実施例3と上下逆の構造）であって、室温において良好に作動した。

【0037】なお、アンダー単結晶Si層と単結晶Si、Ge、Sn層からなる積層体の部分を3層形成し、他は上記と同様な構造としたときも、さらに、アンダー単結晶Si層に代えて、アンダー単結晶Si、Ge層を用いても、また、この層と単結晶Si、Ge、Sn層からなる積層体の部分を3層の繰返し構造としても、さらにまたn型単結晶Si層に代えてn型単結晶Si、Ge層を用いても、p型単結晶Si層に代えてp型単結晶Si、Ge層を用いても、いずれもほぼ同様の効果を示す光電子集積回路が得られた。

【0038】

【発明の効果】IV族半導体の混晶からなる発光素子を形

成するために、正孔と結合しないで電極に達する電子を再び発光領域に戻すために伝導帯に障壁を有するp型Si_{1-x}C_x層(0≦B<1)を設けるか、ワイドギャップ半導体の単結晶SiGeC混晶でSiGe発光領域を挟むか又は発光領域の材料にバンドギャップの小さい単結晶SiGeSn混晶を用いた構成とすることによって、室温で作動し、量子効率1%以上の発光素子が得られた、また、この発光素子は、IV族半導体を用いているため、Siからなる電子素子と同一の基板に形成することができた。

【図面の簡単な説明】

【図1】本発明の実施例1の発光素子の製造工程図である。

【図2】本発明の実施例2の発光素子の製造工程図である。

【図3】本発明の実施例3の発光素子の製造工程図である。

【図4】本発明の実施例4の光電子集積回路の模式的断面図である。

【符号の説明】

- 11、21、31…n型Si(100)基板
- 12、14…アンドープ単結晶Si層
- 13…単結晶Si_{0.8}Ge_{0.2}層
- 15…p型水素化非晶質Si層
- 15'…p型単結晶Si層
- 16、27、37…SiO₂層
- 17、18、28、29、38、39…電極
- 22…n型単結晶Si_{0.55}Ge_{0.40}C_{0.05}層
- 23、25…アンドープ単結晶Si_{0.55}Ge_{0.40}C_{0.05}層

10 図

- 24…単結晶Si_{0.8}Ge_{0.2}層
- 26…p型単結晶Si_{0.55}Ge_{0.40}C_{0.05}層
- 32…n型単結晶Si層
- 33、35…アンドープ単結晶Si層
- 34…単結晶Si_{0.8}Ge_{0.2}Sn_{0.01}層
- 36…p型単結晶Si層
- 40…n型単結晶Si層
- 41…Si(100)基板
- 42…n型領域

20 図

【図1】

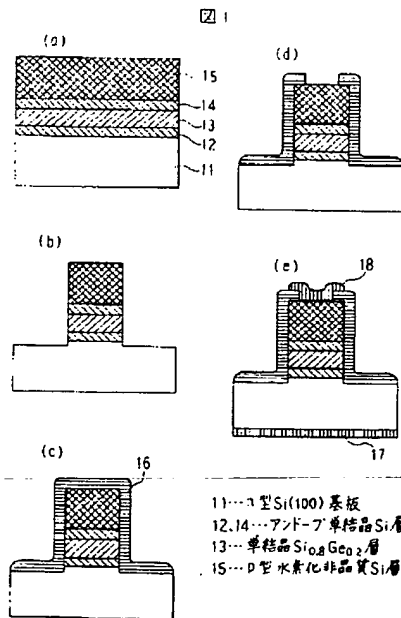


図1

【図2】

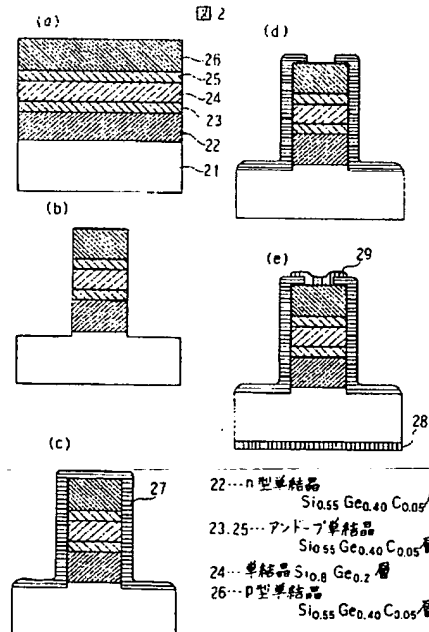
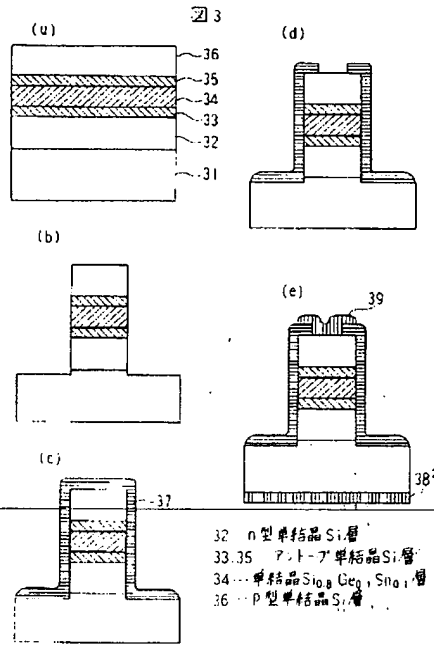


図2

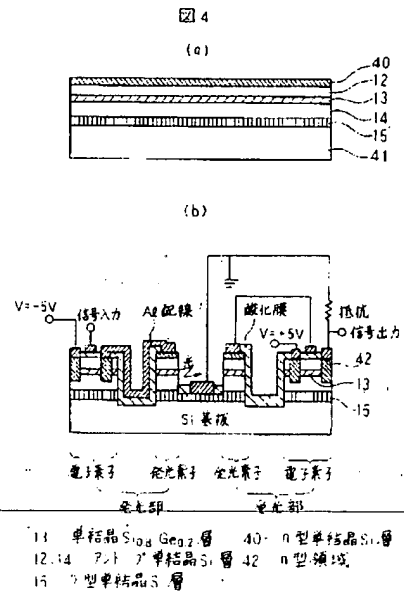
- 11…n型Si(100)基板
- 12、14…アンドープ単結晶Si層
- 13…単結晶Si_{0.8}Ge_{0.2}層
- 15…p型水素化非晶質Si層

- 22…n型単結晶Si_{0.55}Ge_{0.40}C_{0.05}層
- 23、25…アンドープ単結晶Si_{0.55}Ge_{0.40}C_{0.05}層
- 24…単結晶Si_{0.8}Ge_{0.2}層
- 26…p型単結晶Si_{0.55}Ge_{0.40}C_{0.05}層

【図3】



【図4】



THIS PAGE BLANK (USPTO)